



Osnovi računarstva I

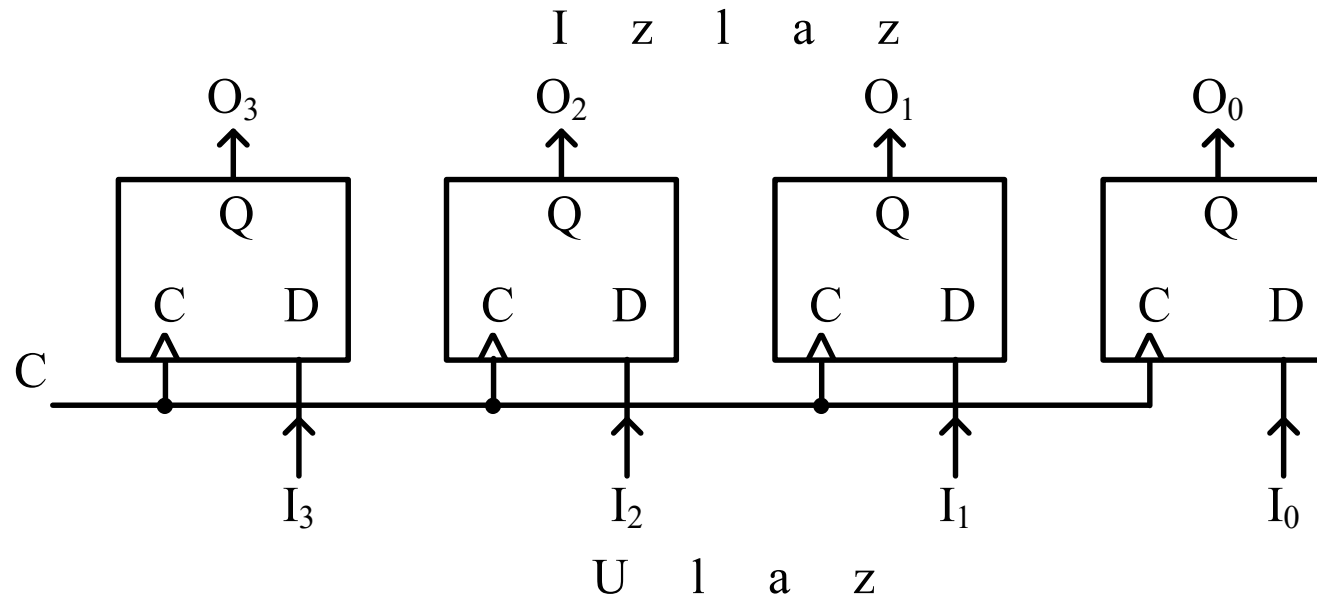
Osnovni digitalni sistemi (nastavak)



REGISTRI

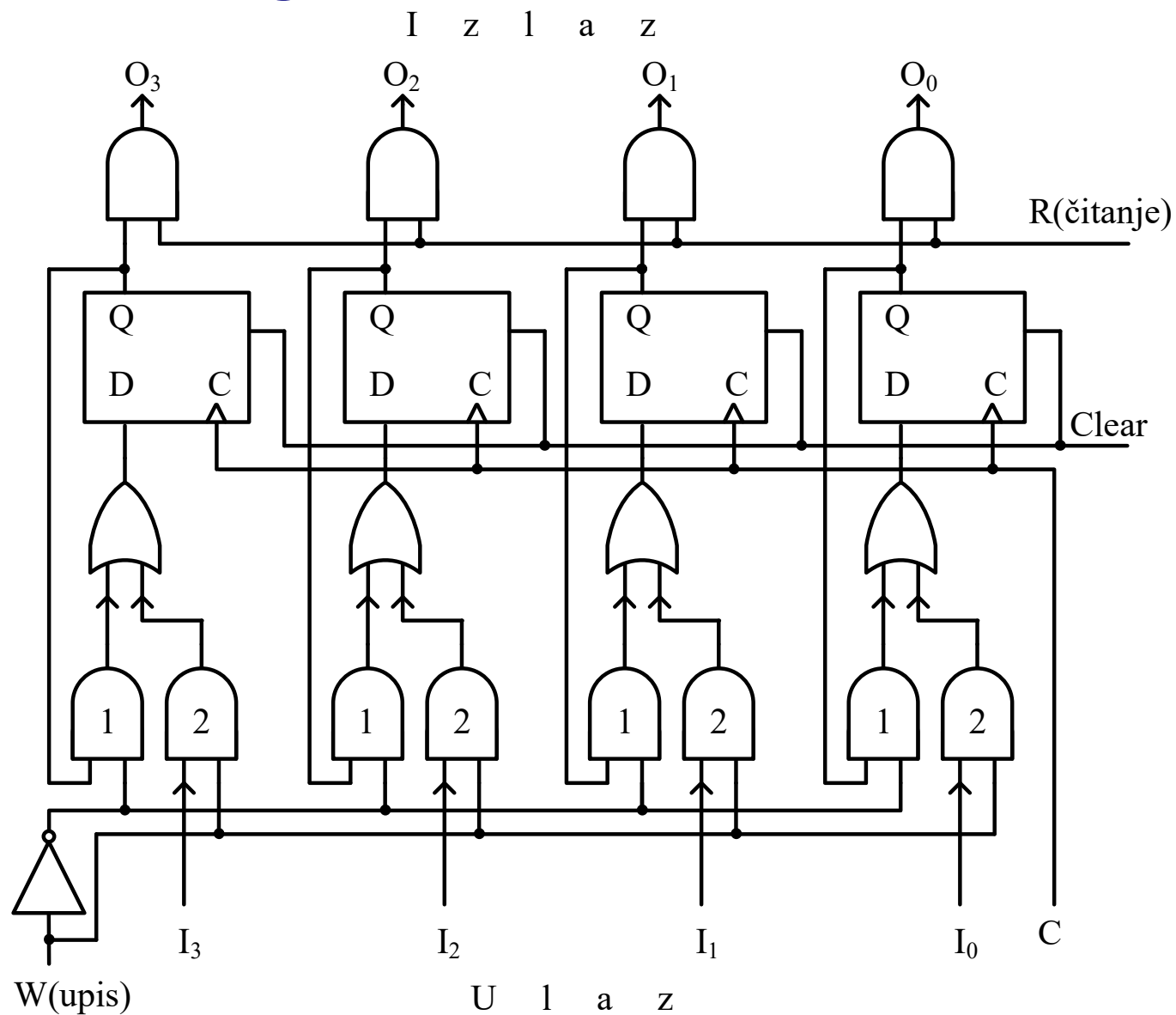
- Registri su veoma brze memorijske lokacije, malog kapaciteta, koje se upotrebljavaju za privremeno smještanje podataka, sastavljenih od niza binarnih cifara (bitova).
- Registar je digitalni sistem koji se sastoji od elementarnih memorijskih elemenata (flip-flova), upotrebljivanih za smještanje odgovarajućih bitova memorijske riječi (u svakom flip-flopu čuva se po jedan bit posmatrane riječi).
- U registru koji se sastoji od n flip-flova može se smjestiti n -tobitni binarni podatak.
- Upis binarnog podatka u registar može se izvršiti na 2 načina:
 - Istovremenim (paralelnim) dovođenjem svih bitova podatka na ulaze odgovarajućih flip-flova – ***paralelni registri***
 - Sekvencijalnim (rednim – bit-po-bit) dovođenjem bitova na ulaz registra - ***pomjerački (shift) registri***

PARALELNI REGISTRI



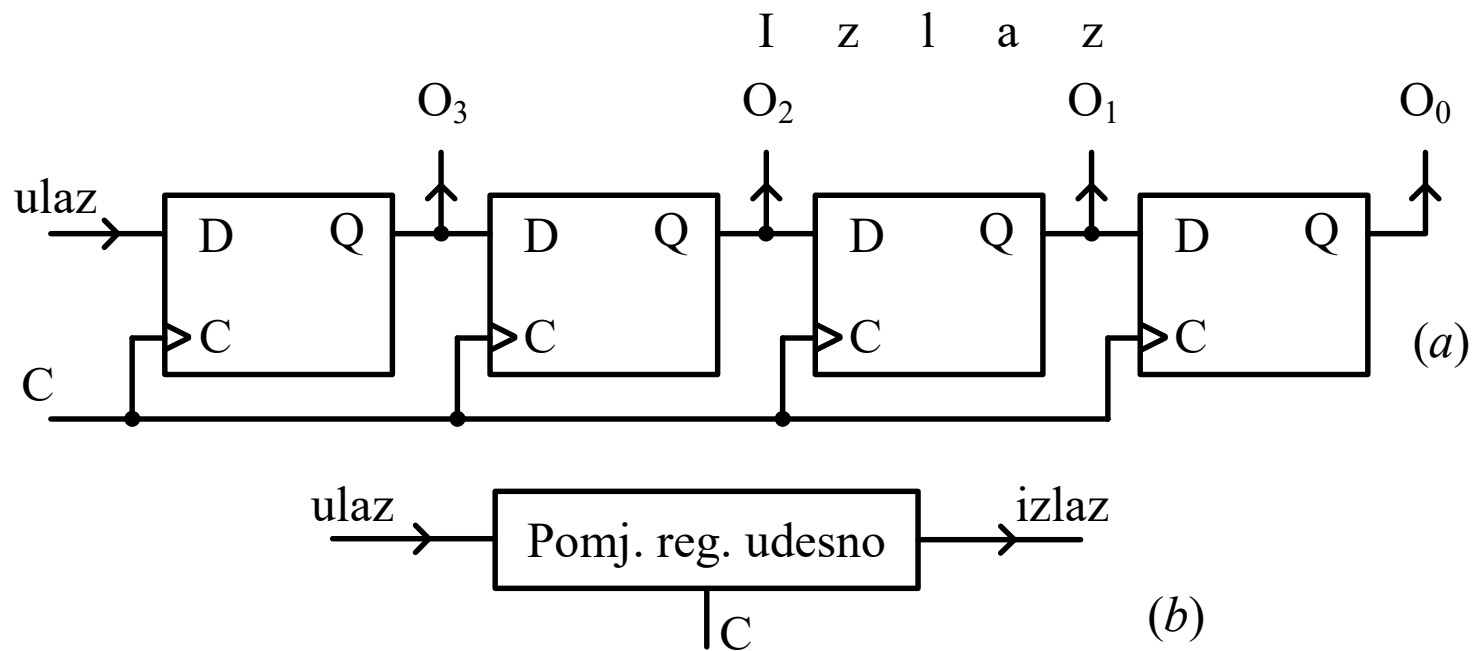
- D flip-flovi, koji čine registar, reaguju na jednu od dvije ivice takta (na slici su prikazani flip-flovi koji reaguju na uzlaznu ivicu)
- **Upisivanjem novog podatka nepovratno se gubi sadržaj prethodno zapisan u registru, tako da se ovaj proces mora striktno kontrolisati**
- Struktura registra prikazana na slici **ne posjeduje mogućnost kontrole protoka podataka**

Paralelni registri sa kontrolom upisa/čitanja



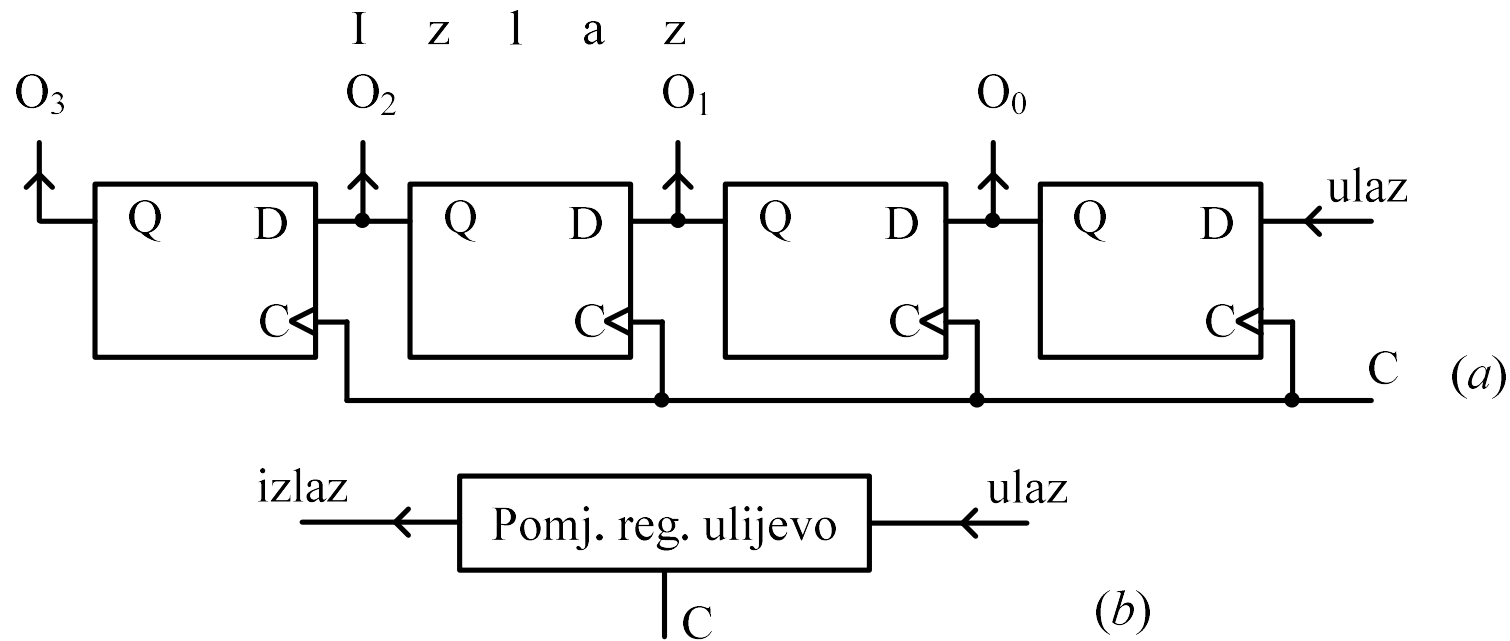
Pomjerački registri

- Pomjerački (shift) registar može se realizovati u dva oblika:
 - pomjerački registar udesno (eng. ***shift right (ShR) register***)



Pomjerački registri (nastavak)

- pomjerački registar ulijevo (eng. *shift left (ShL) register*)



- **Potrebno je vrijeme od n taktnih intervala za upisivanje n -tobitnog podatka u pomjerački registar (i u ShL i u ShR registar)**



Pomjerački registri (nastavak)

- Pomjeranjem **za jedno mjesto u lijevu stranu**, numerička vrijednost podatka koji se nalazi u registru **udvostručuje se (množi se osnovom binarnog brojnog sistema $\rightarrow 2$)**
- Pomjeranjem za **jedno mjesto u desnu stranu**, numerička vrijednost podatka koji se nalazi u registru **dijeli se sa 2**
- Na ovaj način bitno se pojednostavljuje implementacija računskih operacija množenja i dijeljenja sa 2
- Pomjeranjem **za n mjesta u lijevu stranu**, numerička vrijednost podatka koji se nalazi u registru **množi se sa 2^n**
- Pomjeranjem **za n mjesta u desnu stranu**, numerička vrijednost podatka koji se nalazi u registru **dijeli se sa 2^n**



Pomjerački registri (nastavak)

- *Primjer:* Ako je 0000 početno stanje 4-bitnog pomjeračkog registra udesno i ako se na njegov ulaz dovodi podatak 1011, odrediti sadržaj registra poslije prvog, drugog, trećeg i četvrtog taktnog impulsa

Rješenje:

Početno stanje:	0000
Stanje nakon 1. taktnog impulsa:	1000
Stanje nakon 2. taktnog impulsa:	1100
Stanje nakon 3. taktnog impulsa:	0110
Stanje nakon 4. taktnog impulsa:	1011

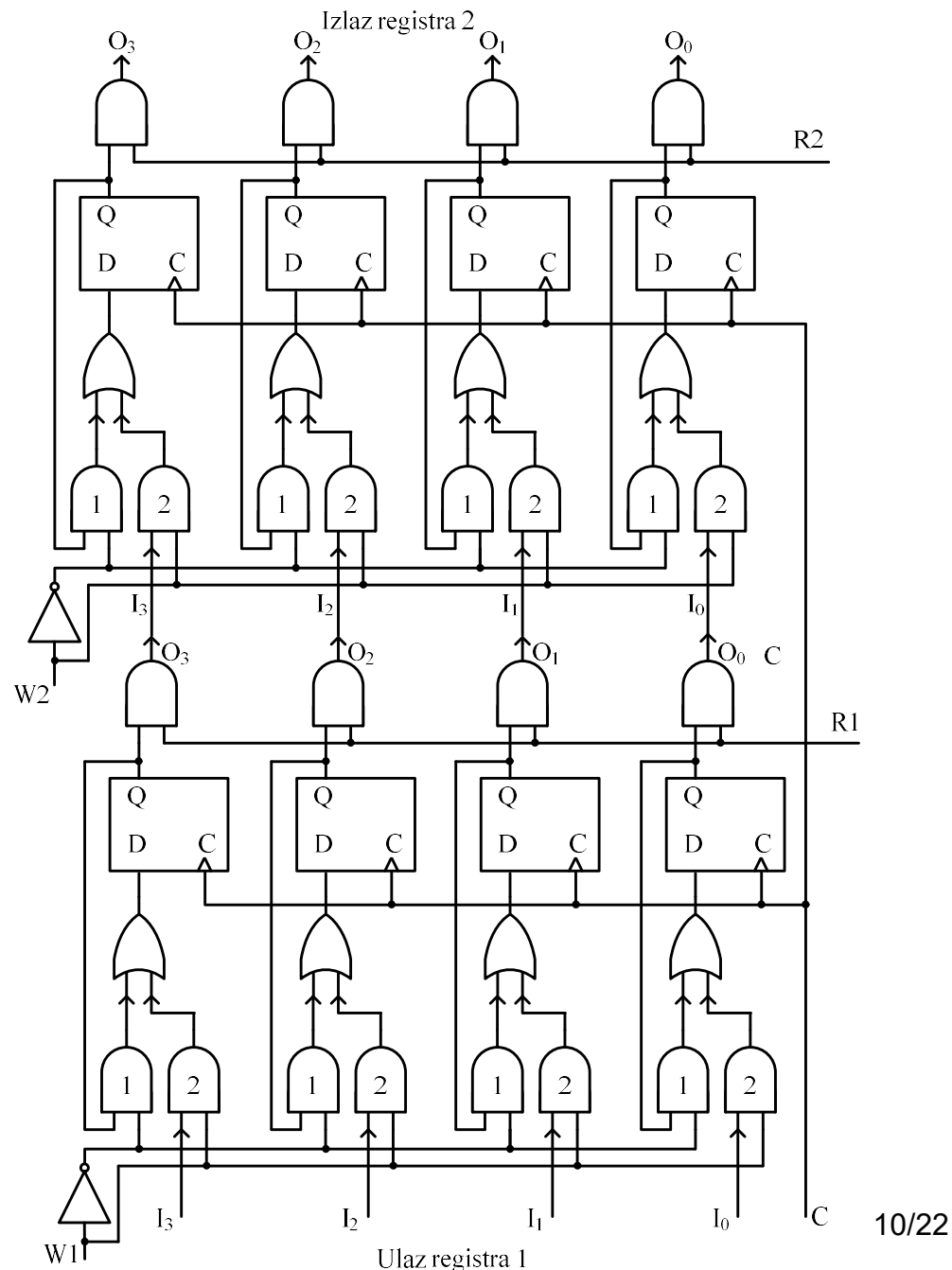


Prenos podataka iz registra u registar

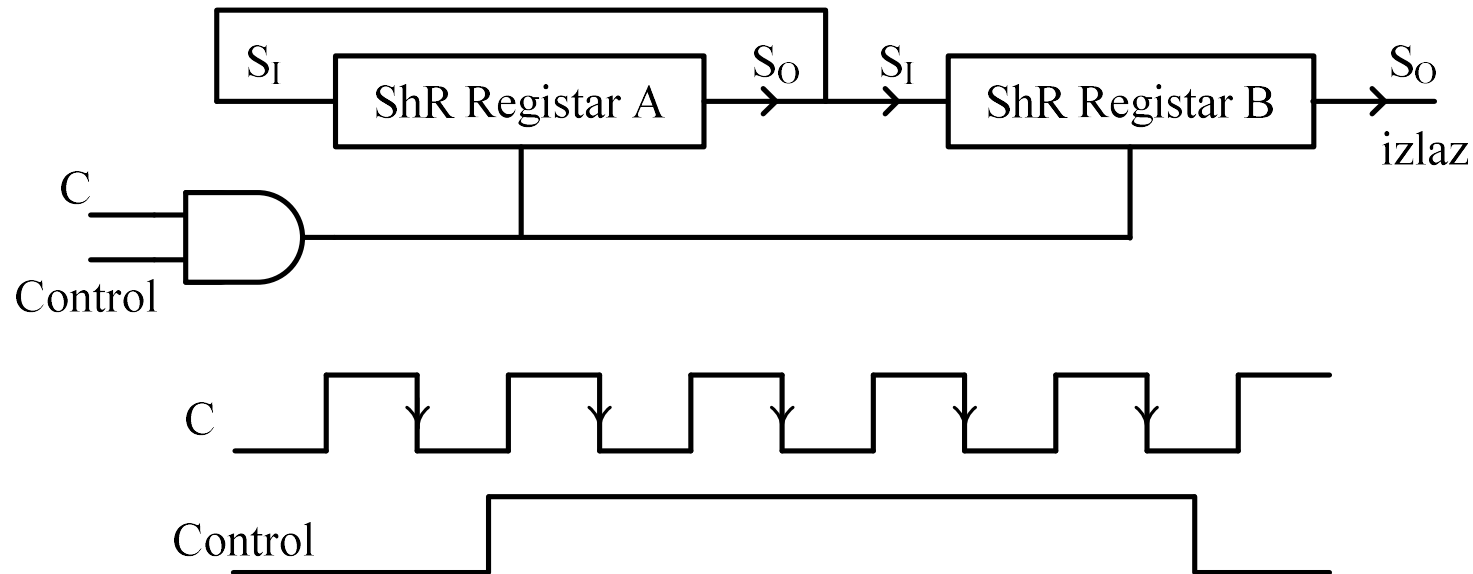
- Prenos podataka između registara može se ostvariti na 2 načina: **paralelno** i **serijski**
- **Paralelni prenos podatka** iz registra u registar ostvaruje se direktnim povezivanjem odgovarajućih ulaza i izlaza 2 registra (njihovih flip-flopora)
- **Paralelni prenos podataka može se izvršiti samo između paralelnih registara**
- **Serijski prenos podataka izvršava se između pomjeračkih registara**
- Pošto se čitanje i upisivanje podataka u n -tobitnim pomjeračkim registrima izvršava u toku n taktnih intervala, **serijski prenos podataka zahtijeva isti broj (n) taktnih intervala**
- **Serijski prenos podataka između registara značajno je sporiji od paralelnog prenosa, koji zahtijeva samo jedan taktni interval**

Paralelni prenos podataka iz registra u registar

- Prenosom podataka upravljaju kontrolni signal R1 (kontrola čitanja podataka iz registra iz kojeg se podatak prenosi) i kontrolni signal W2 (kontrola upisivanja podatka u registar u koji se podatak prenosi)
- U tom smislu, ova dva signala moraju imati iste logičke vrijednosti (1) u trenutku kada se vrši prenos podataka iz registra 1 u registar 2



Serijski prenos podataka iz registra u registar

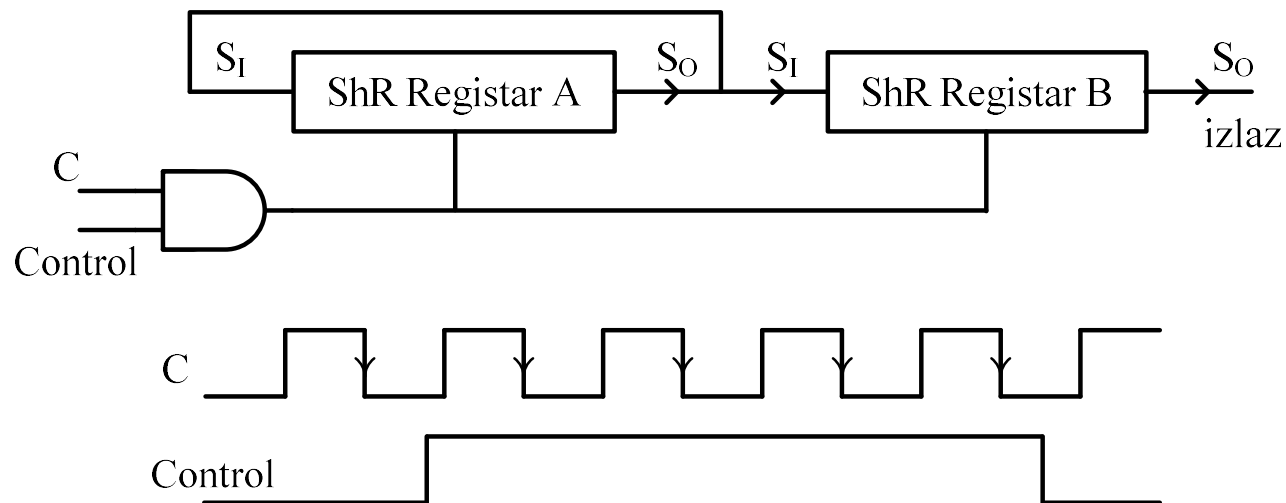


- Prikazanom konfiguracijom, **u toku četiri taktna intervala**, podatak koji se nalazi u registru A upisuje se u registar B
- Istovremeno, povratna veza sa izlaza registra A na njegov ulaz obezbeđuje da registar A zadrži prethodni sadržaj
- Serijski prenos podataka iz jednog registra u drugi kontroliše se signalom *Control* (uzima vrijednost logičke jedinice **u toku prenosa podatka – tokom četiri taktna intervala**)

- Primjer: Pretpostavimo da je 1001 početno stanje pomjeračkog registra A, a da je 1110 početno stanje pomjeračkog registra B, sa donje slike. Uzimajući da su A i B pomjerački registri udesno, odrediti njihove sadržaje za vrijeme 4 taktna intervala (dok kontrolni signal Control ima vrijednost logičke jedinice).

Rješenje:

	A	B
Početno stanje	1001	1110
Stanje nakon 1. taktnog intervala	1100	1111
Stanje nakon 2. taktnog intervala	0110	0111
Stanje nakon 3. taktnog intervala	0011	0011
Stanje nakon 4. taktnog intervala	1001	1001



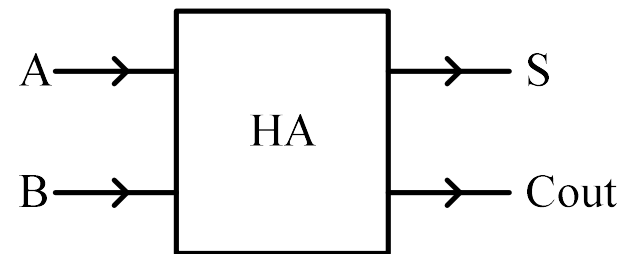
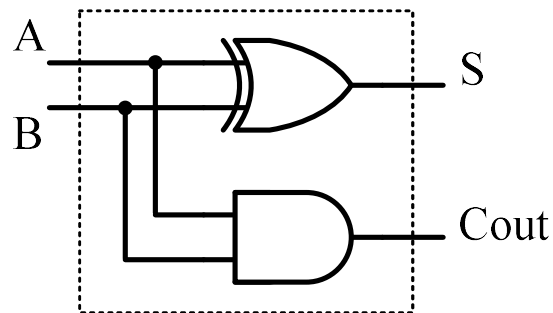
Binarni polusabirač (Half-Adder – HA)

A	B	S	C _{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B$$

- Prenos na više težinsko mjesto (*output carry - Cout*) ima vrijednost 1 samo u slučaju logičke jedinice kod oba binarna sabirka:

$$C_{out} = A \cdot B$$



Binarni sabirač (Full-Adder – FA)

- Potpuni binarni sabirač (Full-Adder – FA)** – Digitalno kolo/sabirač koji pored binarnih cifara (ulaza za 1-bitne sabirke) A i B uzima u obzir i prenos C_{in} sa nižeg težinskog mjesta, tzv. *ulazni prenos (input carry – C_{in})*

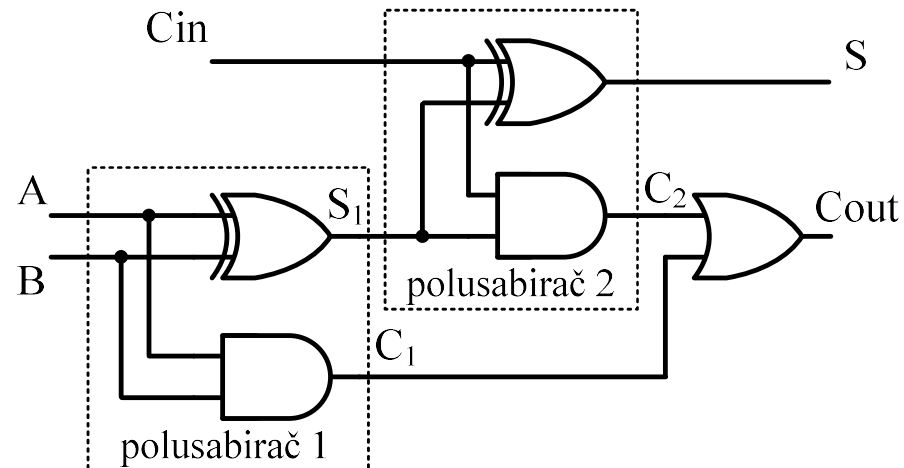
A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{aligned}
 S &= \bar{A} \cdot \bar{B} \cdot C_{in} + \bar{A} \cdot B \cdot \bar{C}_{in} + A \cdot \bar{B} \cdot \bar{C}_{in} + A \cdot B \cdot C_{in} \\
 &= \bar{A} \cdot (\bar{B} \cdot C_{in} + B \cdot \bar{C}_{in}) + A \cdot (\bar{B} \cdot \bar{C}_{in} + B \cdot C_{in}) \\
 &= \bar{A} \cdot (B \oplus C_{in}) + A \cdot \overline{(B \oplus C_{in})} \\
 &= A \oplus B \oplus C_{in}
 \end{aligned}$$

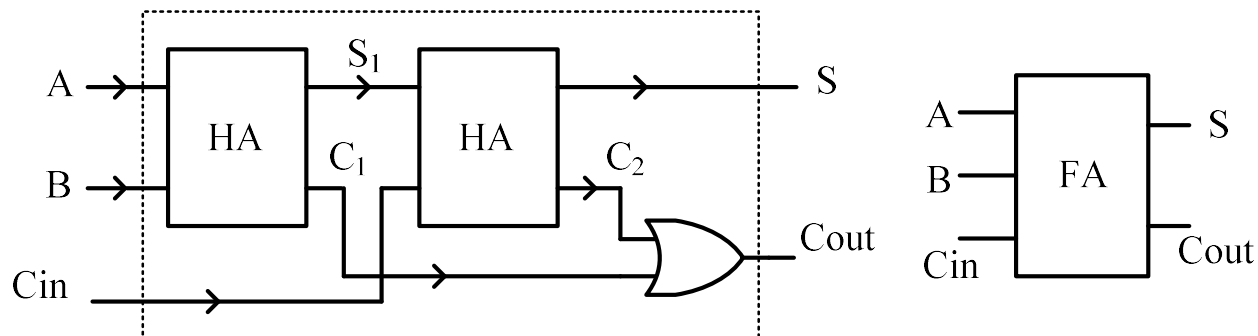
$$\begin{aligned}
 C_{out} &= \bar{A} \cdot B \cdot C_{in} + A \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot \bar{C}_{in} + A \cdot B \cdot C_{in} \\
 &= (\bar{A} \cdot B + A \cdot \bar{B}) \cdot C_{in} + A \cdot B \cdot (\bar{C}_{in} + C_{in}) \\
 &= (A \oplus B) \cdot C_{in} + A \cdot B.
 \end{aligned}$$

Binarni sabirač (Full-Adder – FA) (nastavak)

$$S = A \oplus B \oplus C_{in} \quad C_{out} = (A \oplus B) \cdot C_{in} + A \cdot B.$$

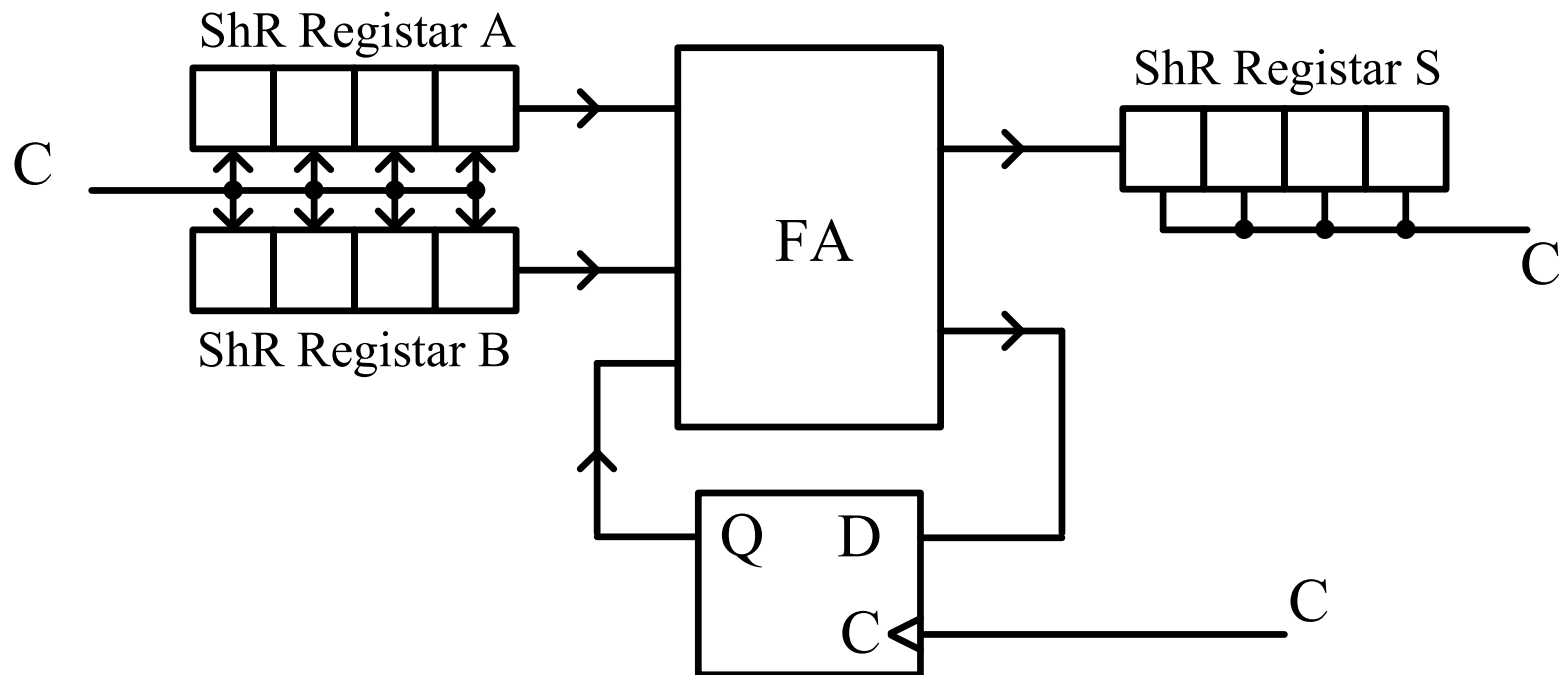


- Ako se gornje kolo uporedi sa implementacijom binarnog polusabirača zaključuje se da se potpuni binarni sabirač može realizovati upotrebom dva binarna polusabirača:



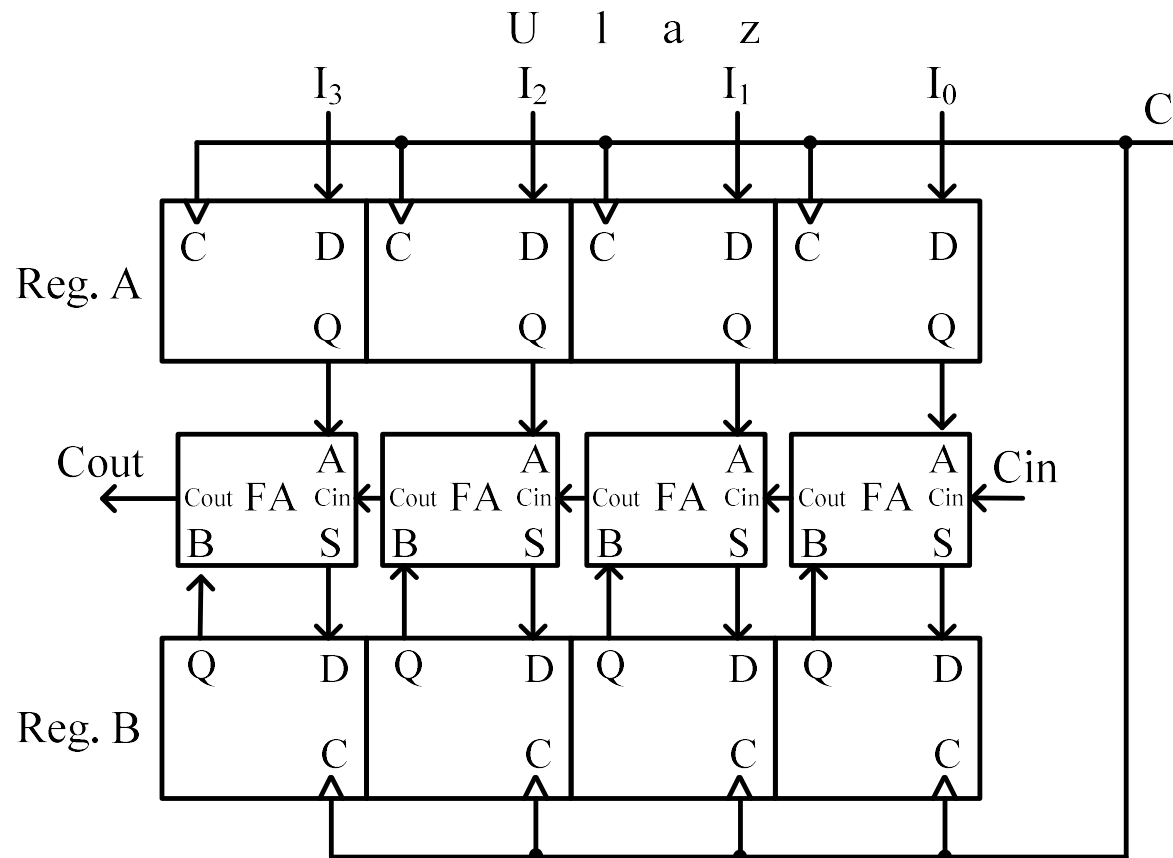
Redno sabiranje dva višecifrena binarna broja

- Razmatrani polusabirač i potpuni binarni sabirač omogućavaju sabiranje 1-cifrenih binarnih brojeva
- Redno sabiranje dva višecifrena binarna broja odgovara ručnom načinu izračunavanja: Niz 1-cifrenih sabiranja odgovarajućih bitova sabiraka, počev od bitova najmanjeg značaja (LSB) do najznačajnijih bitova (MSB)



Paralelno sabiranje dva višecifrena binarna broja

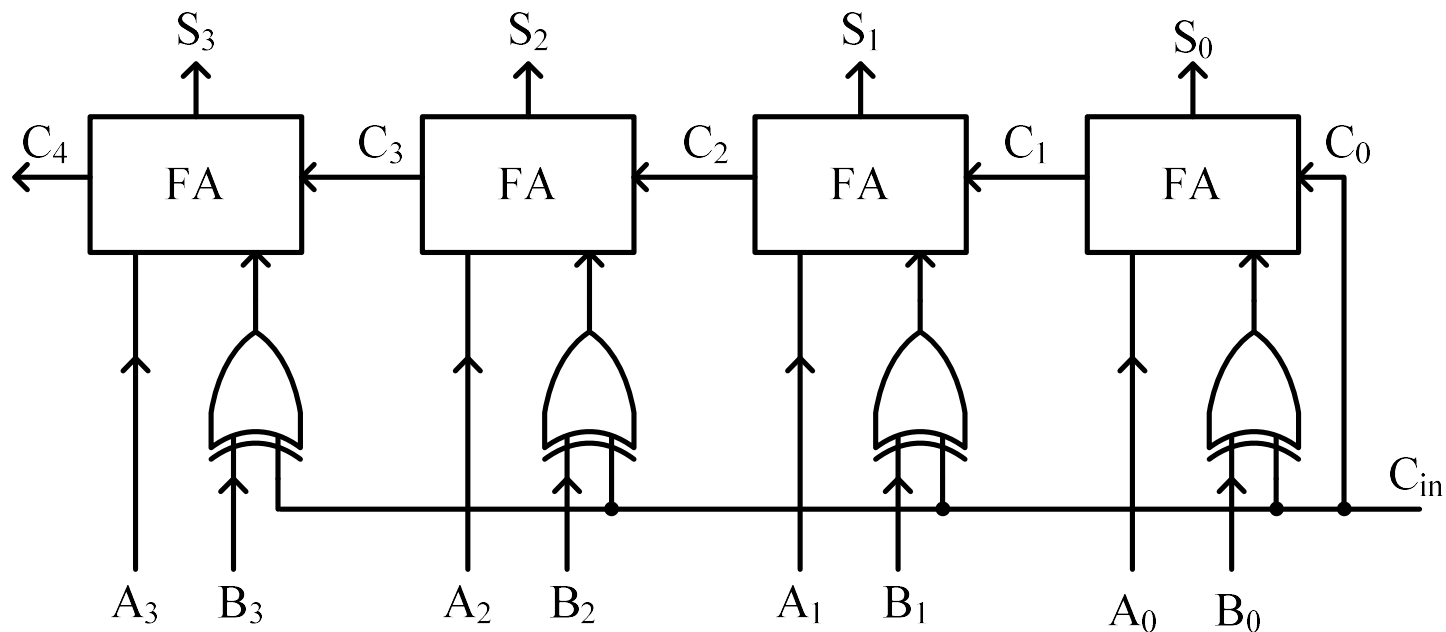
- 1-cifrena sabiranja izvršavaju se istovremeno, pa je za paralelno sabiranje 2 n -tocifrena binarna broja potrebno n potpunih binarnih sabirača:



- Reg. B služi za smještanje i II sabirka i rezultata sabiranja.

BINARNI SABIRAČ/ODUZIMAČ

- Oduzimanje cijelih bin. brojeva svodi se na komplementiranje umanjioaca, njegovo sabiranje sa umanjenikom i dodavanje 1 dobijenom rezultatu



- $C_{in}=0$ \longrightarrow binarno sabiranje
- $C_{in}=1$ \longrightarrow binarno oduzimanje

C_{in}	B	$C_{in} \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

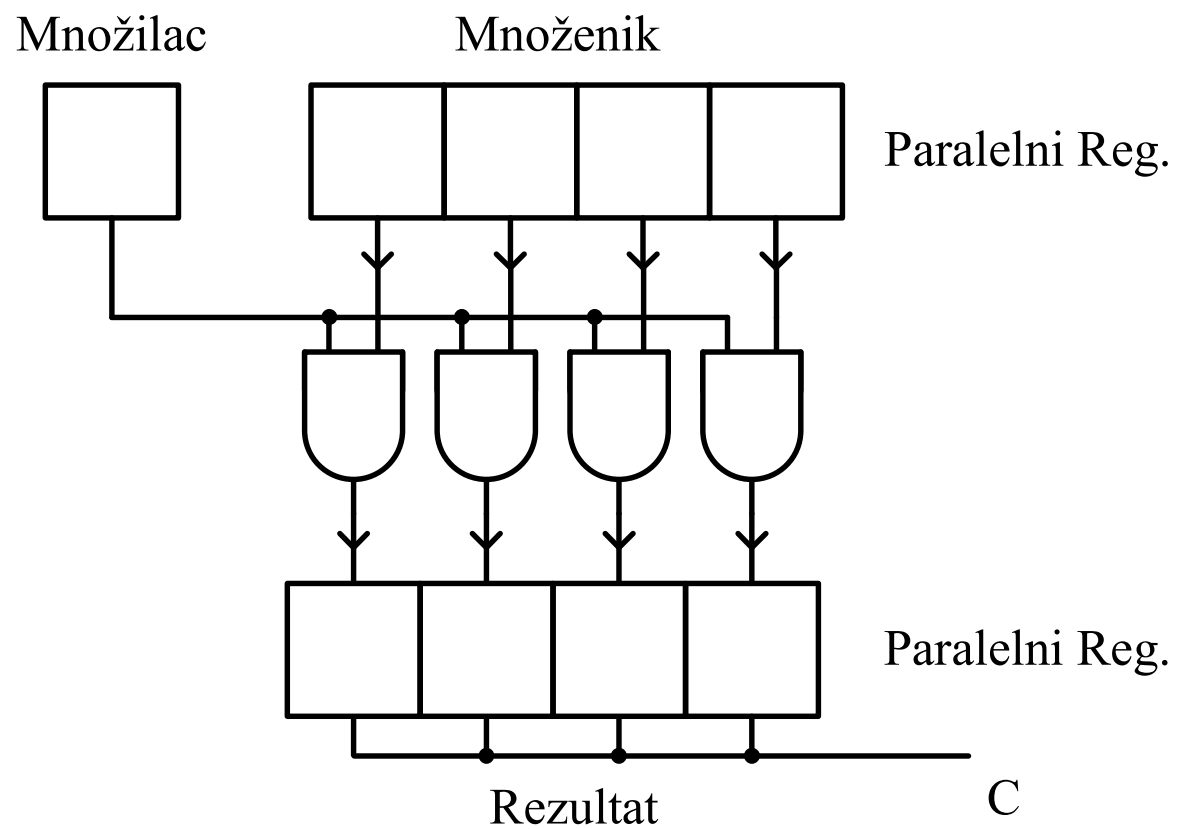


BINARNI MNOŽAČ

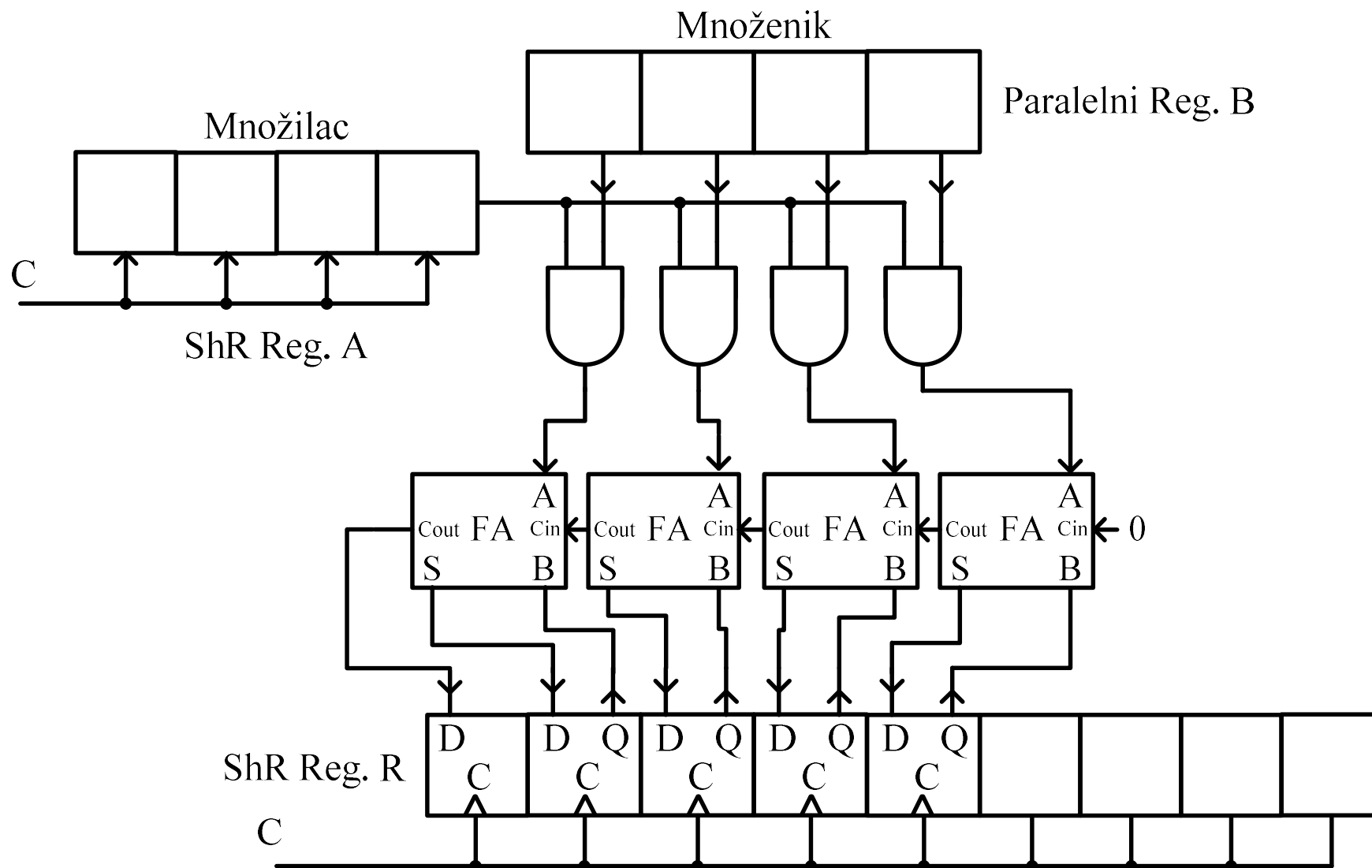
- Suštinski, množenje 2 višecifrena binarna broja svodi se na množenje jednog od njih (nazovimo ga množenikom A) ponaosob sa svim bitovima drugog broja (nazovimo ga množiocem B)
- Najprije se višecifreni broj A pomnoži sa LSB broja B (bit B_0), potom sa sljedećim značajnijim bitom broja B (bit B_1), i tako redom ka MSB broja B
- Dobijeni rezultat svakog navedenog parcijalnog proizvoda pomjera se za po jedno mjesto u lijevu stranu u odnosu na prethodno izračunati parcijalni proizvod
- Potom se parcijalni proizvodi međusobno saberu
- Postupak se završava nakon uključivanja u sabiranje i posljednjeg izračunatog parcijalnog proizvoda
- Proizvod 2 jednobitna broja praktično se implementira logičkim I kolom

BINARNI MNOŽAČ

(4-bitni množenik × 1-bitni množilac)



BINARNI MNOŽAČ (množenje dva 4-bitna broja)



BINARNI MNOŽAČ (množenje dva 4-bitna broja)

– dodatak –

- Unutrašnja struktura ShR registra R na bitovima 8, 7, 6, 5 i 4 koja omogućava **i paralelni i serijski upis podataka** na različitim ivicama taktnog signala C

